

TITLE OF THE INVENTION

CODE PROCESSING CIRCUIT

BACKGROUND OF THE INVENTION

1 Field of the Invention

5 本発明は、符号を処理する符号処理回路に関する。

2 Description of the Related Art

符号処理回路では、複数の符号化されたデータを順に出力する場合、出力するビット数  
に符号長を合わせこんで出力しなければならなかった。つまり、8ビット（1バイト）単  
位で出力する場合、符号化されたデータの符号長が27ビットであれば、8ビット単位に  
10 するために5ビットのダミーデータを付加して出力していた。

このように出力するデータに複数の符号化されたデータが存在する場合、符号化するこ  
とでデータ長を短くしているにも関わらず、それぞれの符号を合わせ込む処理を簡易化す  
るために、符号を出力ビット数で割り切れるデータ長にダミーデータを付加して合わせこ  
む。そのため、符号化したデータ長よりも出力するデータのデータ長が長くなってしまっ  
15 ている。また、このようなデータは、符号の打ち切りを行う場合に、各符号長がわからな  
いため、最適な符号の打ち切りができなかった。

したがって、符号を出力ビット単位で合わせこんで出力することができる符号処理回路  
に対する need がある。

BRIEF SUMMARY OF THE INVENTION

20 本発明の一態様によると、符号処理装置は、複数の種類のデータをそれぞれ符号化す  
る複数の符号部と、前記複数の符号部と対応して設けられた前記符号部から出力された符  
号を記憶する第1のバッファと、前記複数の符号部と対応して設けられた前記符号部から  
出力された符号長を記憶する第2のバッファと、前記複数の符号部と対応して設けられた  
前記第2のバッファに記憶する符号長を加算する第1の加算部と、前記各第1の加算部で  
25 加算された符号長の全てを加算する第2の加算部と、前記第1のバッファに記憶された符  
号、前記第2のバッファに記憶された符号長及び前記第2の加算部で加算された符号長に  
基づいて出力符号を1ビット単位で合わせこむ合わせこみ部とを具備する。

30 Objects and advantages of the invention will become apparent from the  
description which follows, or may be learned by practice of the invention.

## BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

The accompanying drawings illustrate embodiments of the invention, and together with the general description given above and the detailed description given below, serve to explain the principles of the invention.

図 1 は、本発明の一実施例における符号処理回路の構成を示す図である。

図 2 は、出力符号作成部の動作イメージを示すタイミングチャートである。

図 3 は、符号長記憶部に記憶されるビット数の一例を示す図である。

図 4 は、ビット単位での合わせこみを説明するための図である。

図 5 は、符号長記憶部に記憶されるビット数の他の一例を示す図である。

図 6 は、打切りを行うビットを示す図である。

図 7 は、打切りを行った後のビット単位での合わせこみを説明するための図である。

## DETAILED DESCRIPTION OF THE INVENTION

以下、本発明の一実施例について図面を参照して説明する。この一実施例では、符号処理回路は、入力される赤（R）緑（G）青（B）データを符号化する符号部が各色毎に 3 つ設けられており、符号化したデータを 8 ビット（1 バイト）単位で出力する場合で説明する。

符号処理回路 100 は、図 1 に示すように構成されている。

符号処理回路 100 は、R データを符号化する回路である第 1 の符号器 1、第 1 の符号器 1 で符号化された R 符号を記憶する R 符号記憶回路であるバッファ 2、前記符号化された R 符号のデータ長である R 符号長を記憶する R 符号長記憶回路であるバッファ 3、前記 R 符号長を加算する R 符号長加算回路である第 1 の加算器 4 を有している。このような構成は、G データ、B データに対しても同様に設けられている。すなわち、G データに対して第 2 の符号器 5、G 符号を記憶するバッファ 6、G 符号長を記憶するバッファ 7 及び第 2 の加算器が 8 設けられ、B データに対して第 3 の符号器 9、B 符号を記憶するバッファ 10、B 符号長を記憶するバッファ 11 及び第 3 の加算器 12 が設けられている。なお、各符号器 1、5 及び 9 にはデータサイズは同じだが別々のデータが順次入力されるため、それぞれの符号、符号長は偶然を除き全く異なるものとなっている。

また、符号処理回路 100 は、さらに第 4 の加算器 13、比率部 14、合わせこみ部 1

5を具備している。

第4の加算器13は、各加算器4, 8及び12で加算されたR符号長、G符号長、B符号長の全ての符号長を加算して合計加算値を算出するRGB符号長加算回路である。

前記比率部14は、R符号長、G符号長及びB符号長の比率を出力する回路である。比率部14は比率算出部14a、比率設定部14b、切換部であるセクタ14c、使用比率選択部14dとを具備している。比率算出部14aは、各加算器4, 8及び12で加算された符号長及び第4の加算器13で加算された符号長とからRGB各色の符号長の比率を算出する。比率設定部14bには、RGB各色の符号長の比率が予め設定される。セクタ14cは、前記比率算出部14aで算出された比率と前記比率設定部14bに設定された比率とのいずれかを切換えて出力する。使用比率選択部14dは、例えば、符号処理回路100が設けられた装置の外部のスイッチのON/OFFに基づいて、セクタ14cの切換えを制御して比率算出部14aに設定された比率を有効にするか、比率設定部14bに設定された比率を有効にするかを決定する。

合わせこみ部15は、バッファ2, 6及び10に記憶された符号、バッファ3, 7及び11に記憶された符号長及び第4の加算器13で加算された符号長等に基づいて出力符号データを1ビット単位で合わせこむ回路である。合わせこみ部15は、指定符号長記憶部15a、符号長比較部15b、イネーブル信号作成部15c、出力符号作成部15dとを具備している。

符号長比較部15bは、出力する出力符号データの符号長の許容符号長を指定符号長として設定する指定符号長記憶部15aに記憶された符号長の単位と前記第4の加算器13で加算された合計加算値とを比較する。イネーブル信号作成部15cは、各加算器4, 8及び12で加算されたRGB各色の符号長、前記比率部14で出力されたRGB符号長の比率及び符号長比較部15bで比較された比較結果に基づいて各色符号のいずれが有効であることを示す有効符号信号を作成する。出力符号作成部15dは、前記各RGB符号およびイネーブル信号作成部15cで作成された有効符号信号とから出力符号データを作成する。

以下、このように構成された符号処理回路100のデータの処理の流れを説明する。先ず、Rデータは、第1の符号器1に入力されると符号化される。そして、第1の符号器1から出力された符号と符号長は、それぞれバッファ2、バッファ3に格納される。このときそれぞれのバッファ2, 3に入力されるR符号データをR符号、そのR符号データのデ

ータ長をR符号長とする。R符号長はバッファ3への格納と並行して第1の加算器4に入力され、第1の加算器4で加算される。この加算されたR符号長をR加算値とする。続いて、Gデータに対しても同様な動作が行われる。このとき第2の符号器5から出力される符号をG符号、そのG符号のG符号データの長さをG符号長、第2の加算器8で加算されるG符号長をG加算値とする。さらに、Bデータに対しても同様な動作が行われる。このとき、第3の符号器9から出力される符号をB符号、そのB符号のB符号データの長さをB符号長、第3の加算器12で加算されるB符号長をB加算値とする。

そして、各加算器4、8及び12は、全ての各RGB符号長の全ての長さを把握するためにR加算値、G加算値、B加算値を第4の加算器13及び比率算出部14aへ出力する。この第4の加算器13により入力されたRGBデータ全体の符号長を把握することができる。この第4の加算器13で加算された各RGB符号長の加算値の合計を合計加算値とする。この合計加算値は、比率算出部14aへ出力される。

比率算出部14aでは、R符号長、G符号長及びB符号長の比率を、R加算値、G加算値、B加算値及び合計加算値から算出する。例えば、 $(R加算値 / 合計加算値) : (G加算値 / 合計加算値) : (B加算値 / 合計加算値)$ によりそれぞれの符号長の比率を算出する。このように算出された比率はセクタ14cへ出力される。また、上述した比率設定部14bに設定されたRGB符号長の比率もセクタ14cへ出力される。比率設定部14bの比率の設定は符号処理回路100が設けられた装置の操作部等の指定によって指定されるようにしても良いし、予め複数の比率が設定してあり前記操作部等の指定によって比率が指定されるようにしても良い。このように、セクタ14cには2種類の比率が入力される。セクタ14cからは、前記使用比率選択部14dの選択に基づいていずれか一方の比率が合わせこみ部15へ出力される。

続いて、符号長比較部15bで第4の加算器13から入力された合計加算値と指定符号長記憶部15aに記憶された指定符号長の値とを比較する。合計加算値が指定符号長の値以下であればRGB各符号はビットの打切りを行わず、合計加算値が指定符号長の値より大きければRGB各符号を指定符号長の値以下となるようにビットの打切りを行う。このRGB各符号の打切りの方法については後述する。

そして、イネーブル信号作成部15cで比率部14から入力された比率、符号長比較の結果、バッファ3、7及び11から入力される符号長を基に、各色符号のいずれが有効であるかを示す有効符号信号であるRイネーブル信号、Gイネーブル信号及びBイネーブル

信号を作成する。そして、出力符号作成部 1 5 d はイネーブル信号作成部 1 5 c で作成された各色のイネーブル信号を元に出力符号データを作成する。図 2 は、出力符号作成部 1 5 d の動作イメージの一部を示すタイミングチャートである。

図 2 中、各色の符号は 1 6 ビットの各色の符号データを示し、各色のイネーブルは R G B の符号に対応する 1 6 ビットの信号を示している。各色のイネーブル信号が “0” を示すときにその色に対応する色の符号が有効になるようになっている。バッファイネーブルは、有効なバッファがバッファ 2, 6 及び 1 0 のいずれであるかを示す信号である。また、レジスタ R 1 は、有効バッファの符号データの上位 8 ビットを記憶し、レジスタ R 2 は、有効バッファの符号データの低位 6 ビットを記憶し、レジスタ R 3 は、符号データの有効符号を記憶する。また、出力符号は、8 ビットの出力符号データを示している。

同図に示すように、始めは、バッファイネーブル信号がバッファ 2 を選択しているので、バッファ 2 から R 符号を読み込み、その上位 8 ビットをレジスタ R 1 に、低位 6 ビットをレジスタ R 2 に入れる。読込んだ R 符号に対応した R イネーブル信号から、R 符号の有効符号をレジスタ R 3 に入れる。そして、バッファイネーブル信号がバッファ 6 に変化したら、有効なバッファがバッファ 2 からバッファ 6 に変わるので、バッファ 6 から B 符号を読み込みこむ。以下 R 符号を読み込む場合と同様な処理を行い出力符号を作成していく。

続いて、合わせこみ部 1 5 での処理について説明する。合わせこみ部 1 5 は、R G B 各符号を、R G B 各符号長、合計加算値及び前記比率に基づいて合わせこむタイミングは、例えば、次のタイミングで行う。各符号器 1, 5 及び 9 から符号化終了フラグ（R 符号化終了信号、G 符号化終了信号、B 符号化終了信号）を通知してもらい、全てのフラグが通知されたときに、合わせこみ部 1 5 は R G B 各符号の合わせこみを行う。

次に、図 3 から図 7 を参照して各色の符号の合わせこみをビット単位で行う方法について模式的に説明する。

符号化終了フラグが全て通知されたときに、符号長比較部 1 5 b により、第 4 の加算器 1 3 から入力された合計加算値と指定符号長記憶部 1 5 a に記憶された指定符号長の値とが比較される。

まず、図 3 に示すように、指定符号長記憶部 1 5 a に 5 6 0 ビットが記憶されており、合計加算値が 5 6 0 ビット以内の場合を想定する。合計加算値が 5 6 0 ビット以内の例として、図 4 に示すように、R 符号 1 8 0 ビット、G 符号 6 0 ビット、B 符号 3 1 0 ビットの 5 5 0 ビットの場合を挙げる。

この場合は、合計加算値が560ビット以内なので、3つの符号長をそのまま出力すれば良い。しかしながら出力符号データの出力単位はバイト単位であることを考慮する必要がある。そこで、各色の符号長の加算値がわかっているので、R加算値180を8で除算する。除算結果からR符号はバイト単位にすると4ビットの余りが発生してしまうので、  
5 G符号より4ビットのデータを付加して出力する。続いて、G加算値60からR符号に付加した4ビットを減算した56を8で除算する。この場合は割り切れるので、G符号の最後の符号データは1バイトの8番目のデータとなる。このように、ビット単位でダミーデータを付加せずに出力符号データを作成していくことができる。

また、図5に示すように、指定符号長記憶部15aに480ビットが記憶されていたと  
10 すると、図4で示したRGB各色の符号のように合計加算値が550ビットの場合は、70ビット以上の符号の打ち切りを行わなくてはならない。この場合は先ず打ち切りビット数が算出される。このビット数の打ち切りには比率部14から出力された比率を用いる。比率部14から入力された比率が比率算出部14aで算出された比率の場合は、各色の符号長の比は、上述した算出式を用いて算出すると、略R : G : B = 3 : 1 : 5となっている。したがって、R符号の打ち切りビット数の目安は略24ビット ( $= 70 / 9 * 3$ )、G符号の打ち切りビット数の目安は略8ビット ( $= 70 / 9 * 1$ )、B符号の打ち切りビット数の目安は略39ビット ( $= 70 / 9 * 5$ ) となる。  
15

RGB各色の符号が図6で示すように構成されていた場合、前記算出した打ち切りビット数を目安とし、70ビット以上打切るようにビットが選択される。R符号は、N番目 (10ビット)、N-1番目 (4ビット)、N-2番目 (9ビット) が選択され、23ビット  
20 を打ち切りビットとする。G符号は、N番号 (7ビット) が選択され、7ビットを打ち切りビットとする。B符号は、N番目 (3ビット)、N-1番目 (8ビット)、N-2番目 (4ビット)、N-3番目 (8ビット)、N-4番目 (5ビット)、N-5番目 (12ビット) が選択され、40ビットを打ち切りビット数とする。これらの打ち切りビット数を加算すると、70ビットとなり、打ち切りビットを70以上とすることができる。  
25

したがって、出力するR符号は157ビット、G符号は53ビット、B符号は270ビットとなる。符号処理回路100は、このように、符号一つ一つの符号長を把握しているため、最適な打ち切りを行うことができる。また、このように打ち切りが行われた後のRGB各色の出力符号のビット単位の合わせこみは、図7に示すように行われる。

30 R符号長157を8で除算すると、5ビットの余りが発生してしまうので、G符号より

3ビットのデータを付加して1バイト単位にして出力する。そして、G符号53ビットからR符号に付加した3ビットを減算した50を8で除算すると、2ビットの余りが発生してしまう。そこで、B符号から6ビットのデータを付加して出力する。これにより、指定された符号長より長い合計加算値であった場合にビットの打切りを行った場合にも、ビット単位でダミーデータを付加せずに出力符号データを作成していくことができる。

また、B符号長を8で除算したときに余りが発生する場合には、その余りのビットに応じたビットを、バッファ2に記憶されている次のR符号から付加する。次のR符号とは、次のRGBデータのブロックのRデータが第1の符号器1で符号化されたものである。このように構成すると、RGBデータのブロック間においても、ダミーデータを付加しないようにすることができる。これにより、例えば、カラー画像を読取るスキャナに符号処理回路100を設けた場合に、大量に読込まれるRGBデータのブロックを処理するときにダミーデータを付加せずに出力することができるので、RGB符号間だけでなく、RGBデータのブロック間にもダミーデータを付加しないので出力符号データを大幅に低減できる。

なお、この実施の形態では、複数の種類のデータとして、RGBデータの場合で説明しているがこれに限られるものではなく、RGB以外のデータでも、複数の種類のデータを用いる場合に適用できる。

Additional advantages and modifications will readily occur to those skilled in the art. Therefore, the invention in its broader aspects is not limited to the specific details and representative embodiments shown and described herein. Accordingly, various modifications may be made without departing from the spirit or scope of the invention as defined by the appended claims and equivalents thereof.

WHAT IS CLAIMED IS:

1. 符号処理回路, comprising:

複数の種類のデータをそれぞれ符号化する複数の符号部と、

前記複数の符号部と対応して設けられた前記符号部から出力された符号を記憶する第1  
5 のバッファと、

前記複数の符号部と対応して設けられた前記符号部から出力された符号長を記憶する第  
2 のバッファと、

前記複数の符号部と対応して設けられた前記第2のバッファに記憶する符号長を加算す  
る第1の加算部と、

10 前記各第1の加算部で加算された符号長の全てを加算する第2の加算部と、

前記第1のバッファに記憶された符号、前記第2のバッファに記憶された符号長及び前  
記第2の加算部で加算された符号長に基づいて出力符号を1ビット単位で合わせこむ合わ  
せこみ部。

2. 符号処理回路, according to claim 1, 前記合わせこみ部は、出力する符号長の単  
15 位を記憶する符号長記憶部と、前記第2の加算部で加算された符号長と符号長記憶部に記  
憶された符号長とを比較する符号長比較部と、前記第2の記憶部に記憶された符号長及び  
前記符号長比較部で比較された比較結果に基づいて前記複数の種類の有効符号信号を作成  
するイネーブル信号作成部と、前記第1の記憶部に記憶された符号および前記イネーブル  
信号作成部で作成された有効符号信号とから出力符号を1ビット単位で作成する出力符号  
20 作成部を具備する。

3. 符号処理回路 according to claim 1, 前記複数の種類のデータの出力する符号の  
比率を算出する比率部をさらに具備し、前記合わせこみ部は、前記符号長記憶部に記憶さ  
れた出力単位より第2の加算部で加算された符号長の値が大きいときは、前記比率に基づ  
いて符号の打ち切りを行う。

25 4. 符号処理回路 according to claim 3, 前記比率部は、前記各第1の加算部で加算  
された符号長及び前記第2の加算部で加算された符号長とから各符号長の比率を算出する  
比率算出部を具備する。

5. 符号処理回路 according to claim 3 前記比率部は、前記第1の加算部で加算さ  
れた各符号長の比率を予め設定する比率設定部を具備する。

30 6. 符号処理回路 according to claim 4, wherein 前記比率部は、前記第1の加算部



で加算された各符号長の比率を予め設定する比率設定部と、前記比率設定部に設定された比率と前記比率算出部で算出された比率とのいずれかを切換えて出力する切換部を具備する。

7. 符号処理回路 according to claim 1, wherein 前記複数の種類のデータは、赤データ、緑データ、青データである。
- 5

ABSTRACT OF THE DISCLOSURE

- 5 符号処理回路は、複数の種類のデータをそれぞれ符号化する複数の符号部と、前記複数の符号部と対応して設けられた前記符号部から出力された符号を記憶する第1のバッファと、前記複数の符号部と対応して設けられた前記符号部から出力された符号長を記憶する第2のバッファと、前記複数の符号部と対応して設けられた前記第2のバッファに記憶する符号長を加算する第1の加算部と、前記各第1の加算部で加算された符号長の全てを加算する第2の加算部と、前記第1のバッファに記憶された符号、前記第2のバッファに記憶された符号長及び前記第2の加算部で加算された符号長に基づいて出力符号を1ビット単位で合わせこむ合わせこみ部とを具備する。